

## ⑫ 公開特許公報(A) 平3-98145

⑬ Int. Cl.<sup>3</sup>G 06 F 13/36  
15/78

識別記号

3 2 0 B  
5 1 0 F

庁内整理番号

8840-5B  
9072-5B

⑭ 公開 平成3年(1991)4月23日

審査請求 未請求 請求項の数 3 (全7頁)

⑮ 発明の名称 マイクロプロセッサ

⑯ 特 願 平1-235446

⑰ 出 願 平1(1989)9月11日

⑱ 発 明 者 塚 元 卓 東京都小平市上水本町5丁目22番1号 日立マイクロコン

ピュータエンジニアリング株式会社内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 出 願 人 日立マイクロコンピュ 東京都小平市上水本町5丁目22番1号

ータエンジニアリング

株式会社

⑳ 代 理 人 弁理士 徳若 光政

## 明 細 書

## 1. 発明の名称

マイクロプロセッサ

## 2. 特許請求の範囲

1. 内蔵のレジスタによって特定アドレス領域を指定し、この特定アドレス領域内に対するアクセスの認識結果に応じてデータバス幅及び/又はバスサイクルを動的に変化させる機能を付加したことを特徴とするマイクロプロセッサ。

2. 上記特定アドレス領域の指定は、特定のモード信号によって比較されるアドレスビットが指定されるものであることを特徴とする特許請求の範囲第1項記載のマイクロプロセッサ。

3. 上記マイクロプロセッサは、16ビットアーキテクチャにより設計されるものであり、上記特定アドレス領域には8ビットアーキテクチャによる周辺装置が設けられ、この周辺装置とのデータの授受が8ビットの単位で行われるものであることを特徴とする特許請求の範囲第1又は第2項記載のマイクロプロセッサ。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、マイクロプロセッサに関し、例えば可変長のデータを取り扱うマイクロプロセッサに利用して有効な技術に関するものである。

(従来の技術)

従来のマイクロプロセッサでは外部データバス幅が固定されるものである。例えば、インテル社の「マイクロプロセッサ8088」とモトローラ社の「マイクロプロセッサ68008」は外部8ビットバスであり、インテル社の「マイクロプロセッサ8086」とモトローラ社の「マイクロプロセッサ68000」は外部16ビットバスである。これらは共に内部は16ビットバスアーキテクチャを採っている。つまり、外部16ビットバス構成の「マイクロプロセッサ8086や68000」では8ビットバスの周辺デバイスが接続できない。これを解決する手段として、以下の2つの方法が採られている。

1つの方法は、「マイクロプロセッサ68000

0」にみられるようなVPA信号による方法である。これは、丸善社、昭和58年3月30日発行「68000マイクロコンピュータ（マイクロコンピュータシリーズ14）」にあるように、セレクトされたデバイスが68000周辺LSIであるところをマイクロプロセッサに知らせるための信号である。マイクロプロセッサは、この信号を受けると8ビットバスインターフェイスを探る。他の方法は、「マイクロプロセッサHD641016」にみられるMOVTP命令による方法である。これは、朝日立製作所、昭和62年9月発行「HD641016ユーザマニュアル」にあるように、当該命令のデータ転送サイクルのみ8ビットバスインターフェイスを探るものである。当然双方方向のデータ転送が必要なためMOVTPの他にMPVDFPが用意されている。

（発明が解決しようとする課題）

上記VPA信号による方法では、マイクロプロセッサが出力したアドレスを外部でデコードし、VPA信号としてマイクロプロセッサに返す必要

があるため高速動作が期待できないという問題がある。上記MOVTP命令による方法では、特定の命令しか利用できないという問題がある。

この発明の目的は、高速にしかも汎用性を持ってバスサイズを動的に切り換え可能としたマイクロプロセッサを提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかに become であろう。

（課題を解決するための手段）

本願において開示される発明のうち代表的なもの概要を簡単に説明すれば、下記の通りである。すなわち、内蔵のレジスタによって特定アドレス領域を指定し、この特定アドレス領域内に対するアクセスを認識してその結果に応じてデータバス幅を動的に切り換える。

（作用）

上記した手段によれば、マイクロプロセッサ自身が指定アドレスと上記設定された特定アドレス領域であるかを認識し、それに応じてバス幅を切

り換えるので高速でかつ、汎用性をもったバスサイズの切り換えが可能になる。

（実施例）

第1図には、この発明に係るマイクロプロセッサの一実施例のブロック図が示されている。同図の各回路ブロックは、公知の半導体集積回路の製造技術によって、特に制限されないが、単結晶シリコンのような1個の半導体基板上において形成される。

マイクロプロセッサMPUは、前記外部16ビット構成のマイクロプロセッサである。このような16ビット構成のマイクロプロセッサが構成される半導体集積回路装置LSIに対して、動的なバスサイズ切り換えを可能にするため、言い換えるならば、外部16ビットのバスSDBに、8ビットアーキテクチャによる周辺デバイスを搭載し、それとのデータの授受の高速に行うようにするため、以下の各回路ブロックが内蔵される。

レジスタRAとRBは、それぞれ1ビット以上のビット幅を持ち、アドレス領域指定に用いられ

る。特に制限されないが、これらのレジスタRAとRBとは8ビット構成とされる。

これらのレジスタRAとRBは、マイクロプロセッサMPUが持つ各種レジスタと同様に特定のアドレスが割り当てられて、内部のデータバスDBと接続されている。これにより、マイクロプロセッサMPUからレジスタRAとRBの書き込みによって任意のアドレス指定が可能とされる。

レジスタRAに保持されたアドレス情報は、コンパレータCPAに入力される。レジスタRBに保持されたアドレス情報はコンパレータCPBに入力される。これらのコンパレータCPAとCPBの他方の入力には、内部アドレスバスABを通して、マイクロプロセッサMPUがアクセスしようとしているアドレス信号が供給される。コンパレータCPAとCPBは、入力信号の大小又は一致信号を出力する。これらの信号大小又は一致信号はマイクロプロセッサMPUに伝えられ、両コンパレータCPAとCPBの比較出力結果から、上記アクセスしようとしているアドレスが、上記

レジスタ R A と R B によって指定された特定アドレス領域か否かの識別が行われる。この識別結果は、制御信号 B S に反映される。

上記内部データバス D B と外部データバス（システムバス） S D B との間には、入出力バッファ I O B が設けられる。この I O B は、上記制御信号（バス幅セレクト信号） B S により後述するようなバス幅切り換を行う。

外部から供給されるモード信号 M D は、上記コンパレータ C P A と C P B に供給される。例えば、モード信号 M D によりモード 1 を指定したとき、アドレスバス A B は、16 ビットからなるアドレス信号を出力し、約 64 K バイトの領域をアクセス可能としている。モード信号 M D によりモード 2 を指定したとき、24 ビットからなるアドレス信号を出力し、約 16 M バイトの領域をアクセス可能としている。

領域指定用レジスタ R A と R B が上記のように 8 ビット幅を持っている場合、それに対応したコンパレータ C P A と C P B の入力も 8 ビット幅を

持っている。したがって、モード 1 が指定されたとき、コンパレータ C P A と C P B に入力される 8 ビットからなるアドレス信号は、16 ビットからなるアドレス信号のうち上位 8 ビット（8 ～ 15）とされる。つまり、レジスタ R A と R B により指定される領域指定の単位は 256 バイトとなる。例えば、レジスタ R A と R B に同じアドレスを入力すると、それを上位 8 ビットのアドレスとして、256 バイトの領域が指定されることになる。

これに対して、モード 2 が指定されたとき、コンパレータ C P A と C P B に入力される 8 ビットからなるアドレス信号は、24 ビットからなるアドレス信号のうち上位 8 ビット（16 ～ 23）とされる。つまり、レジスタ R A と R B により指定される領域指定の単位は約 64 K バイトとなる。例えば、レジスタ R A と R B に同じアドレスを入力すると、それを上位 8 ビットのアドレスとして、約 64 K バイトの領域が指定されることになる。

第 2 図には、上記レジスタにより指定されるア

ドレス空間を示す概念図が示されている。

レジスタ R A によりアドレス A 1 を指定し、レジスタ R B によりアドレス A 2 を指定すると、同図において斜線を付したようにアドレス A 1 からアドレス A 2 までの領域が設定されることになる。上記アドレス A 1 から A 2 までのアドレス指定を行うと、上記コンパレータ C P A と C P B の比較出力から、マイクロプロセッサ M P U は上記指定領域か否かを判定し、上記アドレス指定領域ならば、制御信号 B S を形成して 8 ビットバスでのインターフェイスに切り換える。上記指定領域以外ならば 16 ビットのバスインターフェイスとするものである。

第 3 図には、上記バス幅切り換え機能を持つ入出力バッファ I O B のうち出力経路の一実施例の回路図が示されている。

内部データバスの信号 D 0 ～ D 15 を外部端子 O U T 0 ～ O U T 15 へ送出する出力回路 D O B 0 ないし D O B 15 の前段に、特に制限されないが、クロックディンバート回路（3 状態出力回

路）により構成されたマルチプレクサ回路が設けられる。すなわち、内部データバスの信号 D 0 ～ D 7 は、代表として例示的に示されているクロックディンバート回路 C N 0 と C N 1 を介して対応する出力回路 D O B 0 ～ D O B 7 の入力に供給される。

これに対して、内部データバスの上位 8 ビットの信号 D 8 ～ D 15 は、一方において代表として例示的に示されているクロックディンバート回路 C N 2 と C N 3 を介して 16 ビットのバス幅の上位 8 ビットに対応する出力回路 D O B 8 ～ D O B 15 の入力に供給され、他方において代表として例示的に示されているクロックディンバート回路 C N 4 と C N 5 を介して 8 ビットのバス幅に対応する上記出力回路 D O B 0 ～ D O B 7 の入力に供給される。

上記クロックディンバート回路 C N 0 と C N 1 の制御端子には制御信号 L が供給される。上記クロックディンバート回路 C N 2 と C N 3 の制御端子には制御信号 U が供給される。そして、クロッ

クドインバート回路 CN 4 と CN 5 の制御端子には制御信号 U' が供給される。上記各クロックドインバート回路 CN 0 ないし CN 5 は、それぞれ対応する制御信号 L、U 及び U' がハイレベル（論理 "1"）のとき動作状態になり信号伝送動作を行い、それぞれ対応する制御信号 L、U 及び U' がロウレベル（論理 "0"）のとき出力ハイインピーダンス状態にされる。

また、出力回路 DOB 0 ないし DOB 15 は、出力制御信号 DOC によりその動作が制御される。例えば、メモリのライトサイクルのようにデータを出力する時には、出力制御信号 DOC がハイレベルにされる。これに応じて、出力回路 DOB 0 ないし DOB 15 が動作状態になって、マイクロプロセッサ MPU で生成した書き込みデータ等を出力する。これに対してメモリのリードサイクルのようにデータを入力する時には、出力制御信号 DOC がロウレベルにされる。これに応じて、出力回路 DOB 0 ないし DOB 15 が出力ハイインピーダンス状態になり、図外のデータ入力回路

が動作状態になってシステムバス ADB から送られてきたデータの取り込みを行う。

第 4 図には、上記出力バッファ IOB の動作の一例を示すタイミング図が示されている。マイクロプロセッサ MPU が、第 2 図のように 16 ビットのパシインターフェイス領域のアドレス空間をアクセスしようとする、コンパレータ CPA と CPB の出力から 16 ビットのパス幅領域であることを認識し、制御信号 BS として、信号 U 及び L を論理 "1" に制御信号 U' を論理 "0" にする。これにより、上記クロックドインバート回路 CN 0 と CN 1 及び CN 2 と CN 3 が動作状態になる。したがって、内部データバス DB の下位 8 ビットの信号 D 0 ~ D 7 は、代表として例示的に示されたクロックドインバート回路 CN 0 と CN 1 を通じて出力下位 DOB 0 ~ DOB 7 の入力に伝えられる。内部データバス DB の上位 8 ビットの信号 D 8 ~ D 15 は、代表として例示的に示されたクロックドインバート回路 CN 2 と CN 3 を通じて出力回路 DOB 8 ~ DOB 15 の

入力に伝えられる。これにより、出力制御信号 DOC に従い出力回路 DOB 0 ~ DOB 15 の動作状態に応じて、1 メモリサイクル中に D 0 ~ D 7 及び D 8 ~ D 15 からなる 16 ビットのデータが出力端子 OUT 0 ~ OUT 15 を通じて 16 ビット幅のシステムバスへ送出される。

マイクロプロセッサ MPU が、第 2 図のように 8 ビットのパシインターフェイス領域のアドレス空間をアクセスしようとする、コンパレータ CPA と CPB の出力から 8 ビットのパス幅領域であることを認識し、制御信号 BS として、最初の 1 メモリサイクルでは信号 L を論理 "1" に、信号 U と U' を論理 "0" にする。これにより、上記クロックドインバート回路 CN 0 と CN 1 のみが動作状態になる。したがって、内部データバス DB の下位 8 ビットの信号 D 0 ~ D 7 は、代表として例示的に示されたクロックドインバート回路 CN 0 と CN 1 を通じて出力回路 DOB 0 ~ DOB 7 の入力に伝えられる。これにより、出力制御信号 DOC に従い出力回路 DOB 0 ~ DOB 1

5 の動作状態に応じて、1 メモリサイクル中に D 0 ~ D 7 からなる 8 ビットのデータが出力端子 OUT 0 ~ OUT 7 を通じて 16 ビット幅のシステムバス ADB の上位 8 ビットに対応した出力端子 OUT 8 ~ OUT 15 は、上記クロックドインバート回路 CN 2 ないし CN 5 の出力がハイインピーダンスになることに応じて同図ではハイインピーダンスとして示しているが、実際には出力下位 DOB 8 ないし DOB 15 が出力制御信号 DOC により動作するので、無意味なデータが出力される。しかし、このメモリサイクル中でアクセスされる周辺デバイスは、上記 8 ビットのパシインターフェイスをもつものであるから問題ない。したがって、クロックドインバート回路 CN 0 と CN 3 の制御端子を共通にして制御信号 L を供給する構成としてもよい。

次の 1 メモリサイクルでは信号 U' を論理 "1" に、信号 L と U を論理 "0" にする。これにより、上記クロックドインバート回路 CN 4 と C

N5のみが動作状態になる。したがって、内部データバスDBの上位8ビットの信号D8~D15は、代表として例示的に示されたクロックディンバート回路CN4とCN5を通して出力回路DOB0~DOB7の入力に伝えられる。これにより、出力制御信号DOCに従い出力回路DOB0~DOB15の動作状態に応じて、1メモリサイクル中にD8~D15からなる残り8ビットのデータが出力端子OUT0~OUT7を通して16ビット幅のシステムバスADBのうちの低位8ビットへ送出される。このようにして、上記レジスタRAとRBにより指定された領域においては、2つのメモリサイクルにより8ビットのバスインターフェースが実施される。

なお、入出力バッファIOBのうち、入力回路では、上記出力端子OUT0ないしOUT15が入力端子として用いられ、入力バッファと、その出力を上記内部データバスDBに選択的に伝える上記同様なクロックディンバート回路からなるマルチプレクサ回路が設けられる。例えば、第3図

OM(リード・オンリー・メモリ)のような記憶回路や、直接メモリアクセス制御回路DMAC、入出力ポートPOT、タイマー回路TM、シリアル・コミュニケーション・インターフェースSCI等の周辺回路を備えるものである。

実行ユニットに上記コンパレータCPAやCPCBが設けられる。そして、レジスタRAやRBは、実行ユニットに含まれるもの他、RAMの特定アドレスをレジスタRAとRBとして用いるのものであってもよい。また、上記8ビット/16ビットのバス幅切り換えは、入出力ポートPOTに設けられるものである。

上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1)内蔵のレジスタによって特定アドレス領域を指定し、この特定アドレス領域内に対するアクセスを認識してその結果に応じてデータバス幅を動的に切り換える。この構成では、マイクロプロセッサ自身が指定アドレスと設定された特定アドレス領域であるかを認識し、それに応じてバス幅を切

において、内部データバスD0~D15をシステムバス側とみなし、出力回路DOB0ないしDOB15を内部データバス側とみなしたと等価なマルチプレクサ回路を設けるようにすればよい。

この実施例では、レジスタRAとRBに任意のアドレス情報を書き込むことができるから、ユーザーの領域指定に自由度が増す。また、すべてのバスサイクルに対して有効なので、特定の命令だけとかデータ転送時のみという制約が一切ない。さらに、マイクロプロセッサの内部で信号をデコードしているため高速アクセスが可能となり、チップ外部の信号をデコードする場合のようなスピードの制約を受けない。

第5図には、この発明に用いられるマイクロプロセッサの一実施例の概略ブロック図が示されている。この実施例では、命令の取り込み及びマイクロROM制御部と、そのアドレスデコード、マイクロROM、マイクロ命令の命令デコード、及びその実行ユニットからなるマイクロプロセッサに、RAM(ランダム・アクセス・メモリ)やR

り換えるので高速かつ、汎用性をもったバスサイズの切り換えが可能になるという効果が得られる。

②上記アドレス指定によりバス幅を切り換えるものであるから、特定の命令だけとかデータ転送時のみとかいった制約がなく、高い汎用性を実現できるといふ効果が得られる。

③上記(1)により、16ビットのアーキテクチャを持つマイクロプロセッサと、既存の豊富な8ビットのアーキテクチャを持つ周辺デバイスを組み合わせることでシステムを構成できるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、バスサイズの切り換えを行うもの他、バスサイクルを切り換えるようにするものであってもよい。例えば、高速メモリと低速メモリとを混在させてシステムを構成したとき、レジス

タRAとRBにより低速メモリが割り当てられたアドレス空間を指定し、低速度メモリ動作速度に対応してバスサイクルを低速バスサイクルに切り換えるようにするものである。この構成では、従来のように $\overline{WAIT}$ 信号を人力したり、 $\overline{VPA}$ 信号を人力したりする必要がない。また、プログラマブルウェイトという方法もあるが、これだと全領域が対象なり、特定領域だけ低速バスサイクルにすることができない。

この発明は、内部16ビット構成のマイクロプロセッサの他、8ビットや32ビット構成の各種汎用マイクロプロセッサの他、特殊プロセッサ等に利用するものであってもよい。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、内蔵のレジスタによって特定アドレス領域を指定し、この特定アドレス領域内に対するアクセスを認識してその結果に応じてデータバスサイズやバスサイクルを動的に

切り換える。この構成では、マイクロプロセッサ自身が指定アドレスと設定された特定アドレス領域であるかを認識し、それに応じてバス幅やバスサイクルを切り換えるので高速でかつ、汎用性をもったバスサイズやバスサイクルの切り換えが可能になる。

#### 4. 図面の簡単な説明

第1図は、この発明に係るマイクロプロセッサの一実施例を示すブロック図、

第2図は、そのアドレス空間の一例を示す概念図、

第3図は、バス幅切り換え機能を持つ入出力バッファIOBのうち出力経路の一実施例を示す回路図、

第4図は、その動作の一例を説明するためのタイミング図、

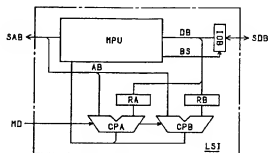
第5図は、この発明が適用されるマイクロプロセッサの一実施例を示すブロック図である。

MPU・マイクロプロセッサ、CPA、CPB・コンパレータ、RA、RB・レジスタ、

IOB・入出力バッファ、CN0～CN5・クロックインバート回路、DOB0～DOB15・出力回路、RAM・ランダム・アクセス・メモリ、ROM・リード・オンリー・メモリ、DMAC・直接メモリアクセス制御回路、PORT・入出力ポート、TM・タイマー回路、SCI・シリアル・コミュニケーション・インターフェイス

代理人弁理士 徳若 光政

第 1 図



第 2 図

